

1/5/11

DIALOG(R) File 347:JAPIO

(c) 2004 JPO & JAPIO. All rts. reserv.

03238649 **Image available**
SEMICONDUCTOR STORAGE DEVICE

BEST AVAILABLE COPY

PUB. NO.: 02-214149 [J P 2214149 A]
PUBLISHED: August 27, 1990 (19900827)
INVENTOR(s): KITSUKAWA GORO
 HONMA NORIYUKI
 ITO KIYOO
APPLICANT(s): HITACHI LTD [000510] (A Japanese Company or Corporation), JP
 (Japan)
APPL. NO.: 01-033573 [JP 8933573]
FILED: February 15, 1989 (19890215)
INTL CLASS: [5] H01L-027/04; H01L-027/10; H01L-027/10
JAPIO CLASS: 42.2 (ELECTRONICS -- Solid State Components); 45.2
 (INFORMATION PROCESSING -- Memory Units)
JAPIO KEYWORD: R097 (ELECTRONIC MATERIALS -- Metal Oxide Semiconductors,
 MOS)
JOURNAL: Section: E, Section No. 1000, Vol. 14, No. 515, Pg. 7,
 November 13, 1990 (19901113)

ABSTRACT

PURPOSE: To stabilize stored information in a memory cell by a method wherein a voltage which is higher than an external power-supply voltage is generated by using a high-voltage generation circuit installed inside a chip and the voltage is applied to the memory cell.

CONSTITUTION: A high-voltage generation circuit HVG is installed on a semiconductor chip identical to a static memory; an output voltage which is higher than a power-supply voltage is generated; this output voltage is applied to one or both of holding-current supply terminals HP, LP of a memory cell array CA. For the high-voltage generation circuit HVG, a so-called charge-pumping booster circuit which applies a pulse signal to a circuit in which a capacitor and a diode have been combined may be used. This high voltage is not prescribed by an external power-supply voltage; an arbitrary voltage can be generated according to a constitution of the high-voltage generation circuit. Thereby, it is possible to obtain the static memory which is hardly dependent on an operating condition such as the external power-supply voltage, a temperature or the like and which stores information stably.

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

平2-214149

⑬ Int.Cl.⁵

H 01 L 27/04
27/10

識別記号

4 6 1
4 8 1

G

庁内整理番号

7514-5F
8624-5F
8624-5F

⑭ 公開 平成2年(1990)8月27日

審査請求 未請求 請求項の数 5 (全9頁)

⑮ 発明の名称 半導体記憶装置

⑯ 特 願 平1-33573

⑰ 出 願 平1(1989)2月15日

⑱ 発 明 者 橘 川 五 郎 東京都分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中央研究所内
⑲ 発 明 者 本 間 紀 之 東京都分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中央研究所内
⑳ 発 明 者 伊 藤 清 男 東京都分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中央研究所内
㉑ 出 願 人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地
㉒ 代 理 人 弁理士 小川 勝男 外1名

明 細 書

1. 発明の名称

半導体記憶装置

2. 特許請求の範囲

1. メモリセルの情報保持電流供給端子の少なくとも1部に、チップに供給した正側電源電圧より高い電圧、もしくは負側電源電圧より低い電圧を、チップ内に設けた高電圧発生回路を用いて印加することを特徴とする半導体記憶装置。
2. 該高電圧または該低電圧がチップに供給した電源電圧にほぼ依存しない電圧であることを特徴とする特許請求範囲第1項記載の半導体記憶装置。
3. 同一チップ内に、チップに印加した正側電源電圧より高い電圧、もしくは負側電源電圧より低い電圧を発生するための高電圧発生回路を有するスタティックメモリ。
4. 電池バックアップ時はチップに印加した正側電源電圧より高い電圧、もしくは負側電源電圧より低い電圧を、メモリセルの情報保持電流供給

端子の少なくとも1部に印加したスタティックメモリ。

5. メモリセルへの印加電圧の少なくとも1部に、周辺回路へ印加する正側電源電圧より高い電圧、もしくは負側電源電圧より低い電圧を用いることを特徴とするスタティックメモリ。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は半導体記憶装置に関わり、特にスタティックメモリの情報保持特性の安定化のための回路に関する。

〔従来の技術〕

第2図はアイエスエスシーシー ダイジェスト・オブ・テクニカル・ペーパーズ (ISSCC Digest of Technical Papers), pp. 236~237, Feb. 1980に記載された従来のCMOSスタティックメモリのメモリセルまわりの回路である。

この図で破線で囲んで示したC₁₁、C₁₂、C₂₁、C₂₂がメモリセルであり、同様に破線で囲んで示

したCAは n 行 $\times m$ 列のメモリセルよりなるメモリセルアレーである。各メモリセルは4個のnMOSトランジスタ M_{11} 、 M_{12} 、 M_{13} 、 M_{14} と2個の高抵抗 R_{H1} 、 R_{H2} よりなる。情報保持用MOSトランジスタ M_{11} 、 M_{13} は互いのゲート、ドレインを交差接続し高抵抗 R_{H1} 、 R_{H2} に接続する。選択用MOSトランジスタ M_{12} 、 M_{14} はメモリセルとデータ線 D_1 、 $\overline{D_1}$ とのあいだで信号の授受を行うためである。

$WD_1 \sim WD_n$ は行デコーダ・ワードドライバであり、 $W_1 \sim W_n$ がワード線である。 M_{11} 、 M_{13} は各データ線対の負荷抵抗であり、 M_{12} 、 M_{14} は列選択用MOSトランジスタである。 $YS_1 \sim YS_n$ は列選択信号線であり、 CD 、 \overline{CD} は共通データ線である。

ワード線 W_1 が選択状態($W_1: \text{High}$)、 $W_2 \sim W_n$ が非選択状態($W_2 \sim W_n: \text{Low}$)とする。この時ワード線 W_1 に接続されるメモリセル $C_{11} \sim C_{1m}$ が選択され、各メモリセルの情報に応じて各データ線の一方からメモリセルに向かって読出

し電流が流れ、各データ線対には読出し信号電圧を生じる。 YS_1 が選択状態の時、 D_1 、 $\overline{D_1}$ の読出し信号電圧が共通データ線対 CD 、 \overline{CD} に伝わり、後段回路を動作させる。書き込み時は、書き込みたい情報を共通データ線対 CD 、 \overline{CD} から選択データ線対 D_1 、 $\overline{D_1}$ に送り選択メモリセルの電位を強制的に反転させる。各メモリセルの端子HP、LPは保持電流供給端子である。通常HPには正側電源電圧 V_{cc} を、LPには負側電源電圧 V_{ss} (GND)を印加する。

R_{H1} 、 R_{H2} は数百 $\text{K}\Omega$ 程度の高低抵抗なので情報保持時には微小電流しか流れない。メモリセル非選択時の M_{11} 、 M_{13} のドレイン電位のうち高電位 V_{c1} 、低電位 V_{c2} は各々 V_{cc} 、 V_{ss} となる。メモリセル選択時には V_{c1} は V_{cc} のままであるが、 V_{c2} はデータ線から読出し電流が流れ込むので V_{ss} より上昇する。

ここで着目すべき点はこの回路構成では端子HPにはメモリセル選択時、非選択時ともに微小電流しか流れないことである。

【発明が解決しようとする課題】

上記従来回路では、非選択時のメモリセルの保持電圧 $V_H \equiv V_{c1}$ 、 $-V_{c2}$ は電源電圧 V_{cc} となる。通常、メモリセルアレーと周辺回路には電源電圧 V_{cc} として5V程度を印加して動作させるが、停電時、あるいはこのメモリを用いた装置を携帯時に、このメモリの記憶情報を電池でバックアップする場合が生じるので、メモリセルアレーには電池から必要な電圧を印加し記憶情報を保持する。この場合耐ソフトエラー特性など記憶情報の安定性を維持するには電池を多数直列接続してメモリセルの保持電圧を上げるか、あるいはメモリセルの内部ノードに静電容量を付加しメモリセル内部ノードの蓄積電荷を増加する必要がある。前者の場合、電池の数が増加しユーザの負担が増える。また後者の場合はプロセスの工程が増したりセル面積が増加し製造コストが増加する。

第3図は別のスタティックメモリの従来例である。これは応用物理学会主催の1984年国際固体素子・材料コンファレンスのダイジェスト・オ

ブ・テクニカル・ペーパーズ pp. 233~236に記載されたBiCMOSメモリセルとバイポーラのワードドライバを組合せたスタティックメモリの回路例である。

この図では1ワードドライバと1行のメモリセルのみを示し、その他の回路は省略した。またECLインタフェースを想定した電源電圧構成(GND、 V_{EE})とした。ワードドライバはバイポーラのカレントスイッチとダーリントンエミッタフォロフを用いているので高速にワード線を駆動できる。メモリセルはCMOSのフリップフロップで情報を保持し、バイポーラのエミッタフォロフでデータ線 D_1 、 $\overline{D_1}$ を高速に駆動できる。したがって、この方式では第2図の従来例に比べ集積度は劣るが読出し速度がより高速になる。

しかしこのワードドライバを用いるとワード線信号の選択時の高電位は $-2V_{EE}$ であり、非選択時の低電位はさらにこれより1V程度低い。したがってメモリセルの非選択時の保持電圧は $V_{EE} = -5.2V$ としても2.5V(≒ $5.2 - 2V_{EE}$)

- 1.) 程度に低下し、先に述べた耐ソフトエラー特性などの記憶安定性が通常動作時においてさえ劣化する。

第4図はスタティックメモリの保持電圧 V_H とソフトエラー特性の関係の例である。 V_H の1Vの変化に対しソフトエラー率は約2桁変化する。したがって記憶安定性を高めるためには V_H を高めることが必要である。

本発明の目的は、外部電源電圧あるいは温度などの動作条件に依存しにくく、安定に情報を記憶するスタティックメモリを提供することにある。

〔課題を解決するための手段〕

上記の目的は、スタティックメモリと同一半導体チップ上に高電圧発生回路を設け、電源電圧より高い出力電圧を発生させ、この出力電圧を上記メモリセルアレーの保持電流供給端子(H P、L P)の一方または両方に印加することにより達成できる。高電圧発生回路は後述するようなコンデンサ、ダイオードを組合せた回路にパルス信号を印加するいわゆるチャージポンプ形の昇圧回路を

のH V Gの出力電圧 V_{STH} は V_{CC} より高い電圧であり、これをC Aの一方の保持電流供給端子H Pに印加する。C Aの他方の保持電流供給端子L Pには V_{SS} を印加する。ここで保持電流供給端子H P、L Pの位置は第2図、第3図に示したものと同じであり、さらにあとで第6図のメモリセル回路にもH P、L P端子を示す。

高電圧発生回路H V Gの負荷電流供給能力はそれほど大きくないので(1mA程度)、本構成ではワード線が選択されてもH Pに流れ込む電流が増加しないC Aの回路構成が望ましい。この意味では第2図の構成が好適である。なぜなら第2図で1ビットのメモリセルの保持電流はpA程度であるのでメガビット級のスタティックメモリを構成しても総保持電流は μ A程度だからである。第2図の端子H Pに V_{CC} ではなくこれより高い V_{STH} を印加する。こうして外部電源電圧 V_{CC} 、 V_{SS} は従来のままでも、メモリセルの保持電圧 V_H (フリップフロップのゲート間電圧)が増加し、スタティックメモリの記憶安定性を向上できる。ま

用いればよい。この出力電圧は、さらに温度および外部電源電圧による変動を補償する手段を設けることにより安定化することもできる。

〔作用〕

本構成によれば、上記高電圧は外部電源電圧に準拠されることがなく、高電圧発生回路の構成により任意の電圧を発生できるので、スタティックメモリの記憶安定性あるいは動作速度の観点から最適な電圧に選ぶことができる。

〔実施例〕

以下本発明を実施例を用いて詳しく説明する。

第1図は本発明のチップ構成を示す第1の実施例である。ここでC AはメモリセルアレーでP Cは入力バッファ、デコーダ、センス回路、出力バッファ等の周辺回路、H V Gは高電圧発生回路を示す。外部電源電圧 V_{CC} 、 V_{SS} は例えば各々5V、0VでありP C、H V G回路はこの電圧で動作させる。

本発明ではH V Gにより外部電源電圧 V_{CC} より高いか、 V_{SS} より低い電圧を発生する。第1図で

たこの V_{STH} をワードドライバにも供給し高いワード線電圧でメモリセルを駆動し読出し、書き込み速度を速めることも可能である。

第5図は本発明の別のチップ構成を示す第2の実施例である。第1図と異なり、本構成ではH V G回路で V_{SS} より低い電圧 V_{STL} を発生し、これをC Aの一方の保持電流供給端子L Pに印加する。他方の保持電流供給端子H Pには V_{CC} を印加する。低電圧発生回路H V Gの負荷電流供給能力はそれほど大きくないので(1mA程度)、本構成ではワード線が選択されてもL Pから流れ出す電流が増加しないC Aの回路構成が望ましい。この意味では第3図の構成が好適である。第3図の端子L Pに V_{SS} ではなくこれより低い V_{STL} を印加する。こうして外部電源電圧 V_{CC} 、 V_{SS} は従来のままでも、メモリセルの保持電圧 V_H が増加し、スタティックメモリの記憶安定性を向上できる。

さらに端子L Pに V_{STL} を印加すると読出し速度の高速化にも有効である。すなわち第3図のメモリセルを構成するPMOSトランジスタのソー

ス・ゲート間電圧が増すのでワード線を立ちあげたときのベース電流が増しエミッタフォロウの高速化につながる。また入出力端子のアンダシュート特性を改善するためチップ基板に負の基板電圧を印加する場合には、 V_{STL} を基板電圧と共用することも可能である。

第6図(a)～(e)はさまざまなメモリセルに本発明を適用した実施例である。また第7図にはこれらのメモリセルを駆動するためのワードドライバの例としてCMOS、BiCMOSドライバを示した。ワードドライバには第3図のようなバイポーラ回路を用いてもよい。

第6図(a)は第2図の従来回路に用いた高抵抗負荷形メモリセルであり、本発明では端子HPには V_{STH} を、端子LPには V_{SS} を印加する。ワード線Wにはワードドライバからのパルス電圧を印加する。

同図(b)は6MOS形メモリセルであり、同図(a)と同様な電圧を印加する。(b)の保持電流は(a)よりさらに少ないため高電圧発生回

路の電流供給能力はさらに小さくてもよい。

同図(c)は高抵抗、pMOSトランジスタ、バイポーラトランジスタからなるBiCMOSメモリセルであり端子LPに V_{SS} より低い電圧 V_{STL} を印加する。ワード線Wが端子HPを兼ねる。保持電流はワード線からメモリセルを通り端子LPに流れる。ワード線の非選択時にはワード線電位は低い。

例えば第7図(a)、(b)のようなワードドライバを用いた時ワード線の低電位はほぼ負側電源電圧 V_{SS} となるので端子LPに V_{SS} より低い電圧を印加する必要がある。また、たとえ第3図のようなバイポーラワードドライバを用いたとしても、ワード線の低電位は V_{CC} より低いので、 V_{SS} との電位差が小さくなる。そこで端子LPに V_{SS} より低い電圧 V_{STL} を印加し、メモリセルの保持電圧を増加させることが出来る。

なお第6図(c)のメモリセルでは、ワード線の選択時および非選択時とも、端子LPに流れる電流は小さいので、 V_{STL} を発生するための高電

圧発生回路の電流供給能力は小さくて済む(この点は後述する第6図(d)、(e)の実施例でも同様)。

V_{STL} を外部印加電圧 V_{SS} より低くすれば先に述べたようにメモリセルの保持電圧 V_H を高めることによる記憶情報の安定化と、メモリセル内pMOSトランジスタのソース・ゲート間電圧増加による読み出し高速化に寄与できる。

第6図(d)は第3図の従来例で用いたBiCMOSメモリセルであり第6図(c)と同様に端子LPに高電圧発生回路からの低電圧 V_{STL} を印加する。

第6図(e)はダイオード結合形CMOSメモリセルでありやはり端子LPに高電圧発生回路の出力電圧 V_{STL} を印加する。 V_{STL} を外部印加電圧 V_{SS} より低くすれば先に述べたようにメモリセルの保持電圧を高めることによる記憶情報の安定化と、pMOSトランジスタのソース・ゲート間電圧増加による読み出し高速化に寄与できる。

以上の第6図(c)～(e)に示した実施例は、

いずれもワード線が保持電流供給端子HPを兼ねるメモリセル回路形式であるので、ワード線の電位により保持電圧が変化する。特にワード線非選択時にはワード線電位が低下するので保持電圧が低下する。こうした時本発明の効果は大きい。

第8図(a)～(c)は第6図の一連のメモリセルに供給する電位関係を示すものである。

第8図(a)はメモリセルの端子HPに V_{CC} より高い電圧 V_{STH} を、端子LPには V_{SS} を印加する場合である。同図(b)はメモリセルの端子HPには V_{CC} を、端子LPには V_{SS} より低い電圧 V_{STL} を印加する場合である。同図(c)は端子HP、LPともに高電圧 V_{STH} 、低電圧 V_{STL} を印加する場合である。この第8図(c)の電位関係も第6図(a)、(b)のメモリセルに用いることができる。但しワード線選択時に、端子LPから比較的大きな電流が流れ出すので V_{STL} が変動する可能性があるので V_{STL} 発生回路の電流供給能力を増加させる必要がある。

次に高電圧 V_{STH} 発生回路、低電圧 V_{STL} 発生回

路の具体的な構成例について述べる。

第9図が高電圧 V_{STH} 発生回路である。この回路はよく知られたチャージポンプ形の昇圧回路である。OSCはリングオシレータ等で作る。 ϕ_{osc} はその出力パルスである。 ϕ_{osc} の振幅は V_{cc} またはそれ以下である。

破線内の回路ブロックが k_1 ($k_1 = 0, 1, 2, \dots$) 段あり、 ϕ_{osc} の振幅が V_{cc} であり、MOSダイオードのスレッショルド電圧を V_{th} とすると、出力電圧 V_{STH} は理想的には

$$(k_1 + 2) \times (V_{cc} - V_{th})$$

となる。たとえば $V_{cc} = 5V$ 、 $V_{th} = 0.6V$ 、 $k_1 = 1$ とすると $V_{STH} = 13.2V$ が得られる。また $V_{cc} = 1.5V$ 、 $V_{th} = 0.6V$ 、 $k_1 = 3$ とすると $V_{STH} = 4.5V$ が得られる。実際には昇圧回路の効率が100%ではないので V_{STH} は低くなる。しかしこのようにして回路ブロックの段数 k_1 を適当に選べば V_{cc} より高い任意の電圧値を得ることができる。

第10図が低電圧 V_{STL} 発生回路である。この

回路もチャージポンプ形の昇圧回路である。

破線内の回路ブロックが k_2 段 ($k_2 = 0, 1, 2, \dots$) とすると、この回路の出力電圧 V_{STL} は、

$$(k_2 + 1) \times (V_{th} - V_{cc}) + V_{th}$$

となる。たとえば $V_{cc} = 5V$ 、 $V_{th} = 0.6V$ 、 $k_2 = 0$ とすると $V_{STL} = -3.8V$ が得られる。また $V_{cc} = 1.5V$ 、 $V_{th} = 0.6V$ 、 $k_2 = 3$ とすると $V_{STL} = -3.0V$ が得られる。実際には昇圧回路の効率が100%ではないので V_{STL} は高くなる。しかし回路ブロックの段数 k_2 を適当に選べば V_{ss} より低い任意の電圧値を得ることができる。

以上に述べた第9図、第10図は高電圧 V_{STH} 発生回路、低電圧 V_{STL} 発生回路のほんの1例でありこの他にさまざまなチャージポンプ回路がある。また特願昭60-161467に記載されるように、メモリの待機時と動作時に負荷電流駆動能力を変化させ、待機時には低電力で高電圧 V_{STH} あるいは V_{STL} を発生し、動作時には駆動能力をあげることににより高電圧 V_{STH} 、あるいは低電圧

V_{STL} が負荷電流の変化によっては変動しないようにすることもできる。

以上に述べた高電圧 V_{STH} 発生回路、低電圧 V_{STL} 発生回路ではメモリの外部印加電圧 V_{cc} が変化するとこれに応じて V_{STH} 、 V_{STL} は変化してしまう。 V_{cc} が高くなりあまりにも高い電圧がメモリセルにかかるるとメモリセルの構成素子の耐圧を超え素子を破壊したり、素子の信頼性を損なうことがある。これを防ぐための一つの方法は高電圧発生回路の出力にクランプ回路を付加することである。第11図はクランプ回路の構成例である。

同図(a)は m_1 個のMOSダイオードで V_{STH} をクランプするもので V_{STH} は $m_1 \times V_{th}$ より高くない。ダイオードにはバイポーラダイオードをもちいてもよい。

同図(b)はバイポーラトランジスタと抵抗でクランプ回路を構成したもので V_{STH} は $(1 + R_1 / R_2) \times V_{be}$ より高くない。

同図(c)はツェナーダイオードを用いたクランプ回路でツェナーダイオードのオン電圧 V_z と

すると V_{STH} は V_z より高くない。

これらの回路を用いれば V_{STH} が一定値以上にならないようにすることができるが、高電圧発生回路は動作し続けるのでその消費電流がむだになる。そこで V_{STH} が一定値を超えると高電圧発生回路のチャージポンピング動作を停止させる方法が考えられる。

第12図はこのためのOSC発生回路の構成例であり、この出力 ϕ_{osc} を第9図あるいは第10図のように高電圧発生回路に供給する。第12図で V_{ref} は基準電圧である。 V_{STH} が $V_{ref} + V_{th} + 2V_{be}$ より高くなるとリングオシレータの発振ループを断ち切り、リングオシレータとチャージポンピング回路の電流消費をおさえる。 V_{STH} が $V_{ref} + V_{th} + 2V_{be}$ より低くなると再びリングオシレータが発振しチャージポンピング回路を動作させ V_{STH} を昇圧する。したがって V_{STH} は $V_{ref} + V_{th} + 2V_{be}$ の電位に落ち着く (V_{be} はバイポーラダイオードのベースエミッタ間電圧、 V_{th} はPMOSのスレッショルド電圧)。なお検出回

路の構成、あるいは V_{ref} の電位変更により任意の V_{STH} の電位を発生することができることは明らかである。

次に本発明を電池バックアップ動作のスタティックメモリに適用し、電池からの供給電圧より高い電圧をメモリセルに印加する例を示す。電池の電圧は通常1.2～1.5Vと低いので従来はこれを複数個直列に接続して使用していたが本発明により1個の電池で情報保持させることができる。

第13図がその実施例である。本実施例では通常動作時、電池バックアップ動作時ともに高電圧発生回路HVGの出力電圧 V_{STH} をメモリセルに印加する。ここで V_{CP} は通常動作時の外部電源電圧、 V_{CB} は補助用電源電圧であり、 V_{CC} がチップ印加の正側電源電圧である。 D_1 、 D_2 は両電源切り換え用ダイオードである。通常動作時には $V_{CP} > V_{CB}$ なので D_1 がオン、 D_2 がオフとなり周辺回路PCと高電圧発生回路HVGが V_{CP} 基準で動作する。 V_{CP} が印加されなかったり、あるいは V_{CP} が低下したとき $V_{CP} < V_{CB}$ となるので D_1 がオ

フ、 D_2 がオンとなり周辺回路PCはもはや動作せず、高電圧発生回路HVGは V_{CB} 基準で動作し V_{STH} 電位を発生する。第11図、第12図で述べた手段を用いれば V_{CP} 、 V_{CB} の如何にかかわらず V_{STH} 電位は一定にできる。

第14図は電池バックアップ動作のスタティックメモリに適用した別の実施例である。第13図と異なる点は、本実施例では電池バックアップ時のみ高電圧発生回路HVGを動作させ、通常動作時はHVGを動作させず V_{CC} を端子HPに印加することである。このためにHVG回路は V_{CC} が高い時には動作しないようにしておくか、あるいはその発生電圧 V_{STH} が通常動作時の V_{CC} より低くしておく。こうして通常動作時はメモリセルの端子HPには V_{CC} 基準の電圧を印加するとともに、HVGの動作を停止させ、無駄な消費電力の発生を防ぐものである。

この時のメモリセルへの印加電圧例を第15図に示した。同図(a)は通常動作時、(b)は電池バックアップ時である。

通常動作時はメモリセルの端子HPに V_{CC} からダイオード D_1 による電位降下した電位 $V_{CC} - V_{be}$ をそのまま印加し、電池バックアップ時は補助用電源電圧 V_{CB} からHVG回路により V_{STH} を作り端子HPに $V_{STH} - V_{be}$ を印加する。こうしてたとえ V_{CB} が低くてもこれより高い V_{STH} を作り、メモリセルの安定動作に必要な保持電圧 V_H を確保することができる。

以上の実施例では本発明をスタティックメモリに適用した場合を示してきた。しかし場合によってはチップ内にスタティックメモリ以外の、メモリ(DRAM、ROM等)、論理回路、マイクロコンピュータ等を有する場合がある。こうした場合にも、スタティックメモリの部分には本発明をそのまま適用することができる。

また実施例ではTTLインタフェースを想定して説明したが、ECLインタフェースにも容易に応用することができる。この場合は、実施例中の V_{CC} をGNDに、 V_{SS} を V_{EE} ($\approx -5.2V$ あるいは $-4.5V$)に置き換えればよい。

【発明の効果】

本発明によればチップ内に設けた高電圧発生回路により外部の電源電圧より高い電圧をつくり、これをメモリセルに印加するので、外部電源電圧は従来と同じにしたままでメモリセルの記憶情報の安定化に寄与できる。こうした構成は特に外部電源電圧の低い電池バックアップ動作時に効果が大きい。また将来、外部電源電圧が低下し、 V_{CC} が1～2Vになっても本発明によりメモリセルの情報保持電圧はそれに限定されず記憶安定性あるいは動作速度の観点から自由に設定できる。したがって蓄積容量を増すためのメモリセル面積の増加や、高濃度層を作るためのプロセス工程追加が不要なので製造コスト上有利である。

4. 図面の簡単な説明

第1図は本発明の一実施例のチップ構成を示す模式的平面図、第2図、第3図は従来例の回路図、第4図はスタティックメモリのソフトエラー特性の一例を示す特性図、第5図は本発明の別の実施例のチップ構成を示す模式的平面図、第6図は種

々のメモリセルへの本発明の適用実施例を示す回路図、第7図は既知のワードドライバの一例を示す回路図、第8図は本発明の実施例によるメモリセルへの印加電圧を示す電位図、第9図、第10図は高電圧発生回路の実施例を示す回路図、第11図は電圧クランプ回路の構成例を示す回路図、第12図は電圧検出回路付き発振回路の構成例を示す回路図、第13図、第14図は本発明の他の実施例のチップ構成を示す模式的平面図、第15図は第14図の実施例のメモリセルへの印加電圧を示す電位図である。

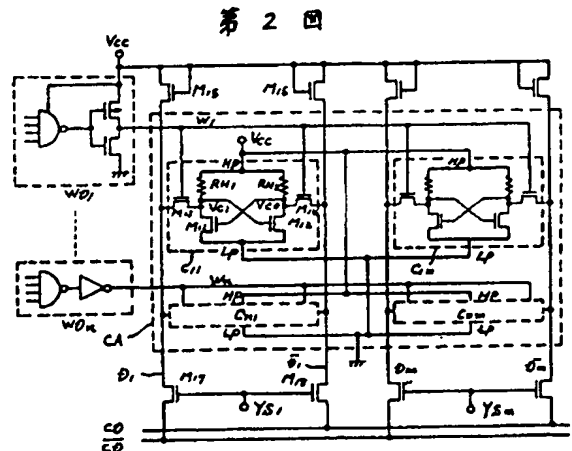
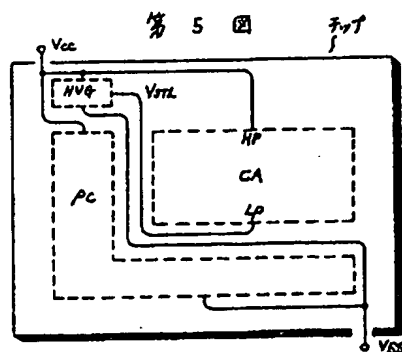
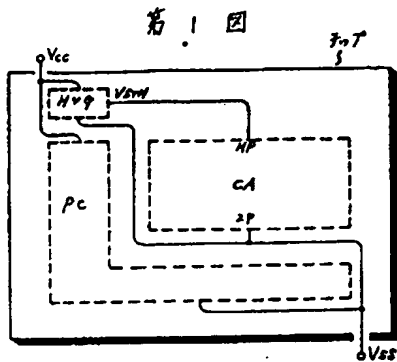
符号の説明

CA…メモリセルアレー、PC…周辺回路、HV…高電圧発生回路、 V_{ATH} …高電圧、 V_{ATL} …低電圧、 V_{C1} …メモリセル内高位側ゲート電圧 V_{C1} …メモリセル内低位側ゲート電圧 V_{H1} …メモリセル保持電圧、 $V_{H1} \equiv V_{C1} - V_{C0}$ 、 V_{CC} …チップ印加正側電源電圧、 V_{SS} …チップ印加負側電源電圧、 V_{CP} …動作時電源電圧、 V_{CS} …補助用電源電圧、HP…メモリセル正側保持電流供給端子、LP…

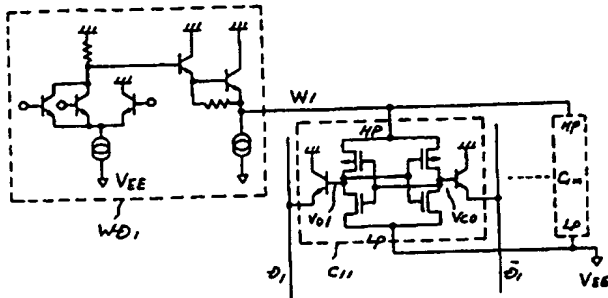
メモリセル負側保持電流供給端子、W…ワード線、

D D…データ線

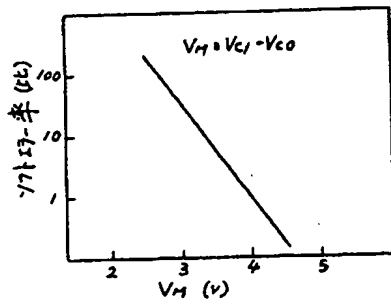
代理人 井理士 小川 勝男



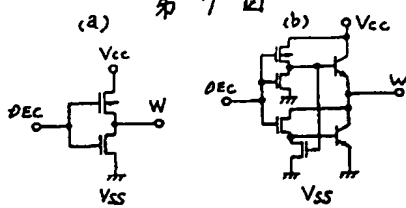
第 3 図



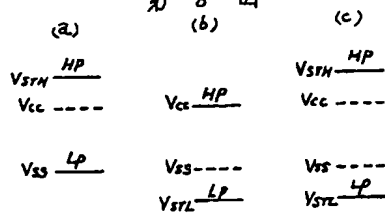
第 4 図



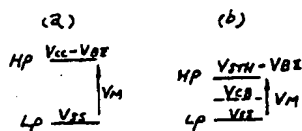
第 7 図



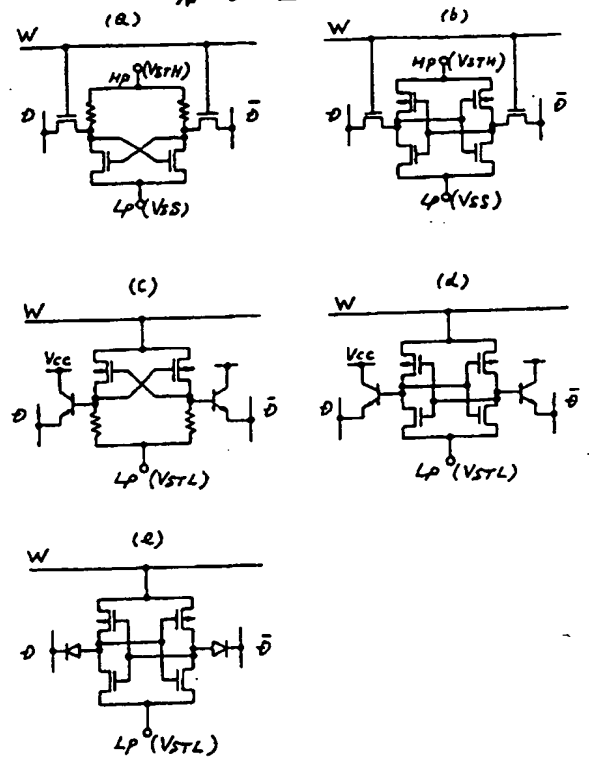
第 8 図



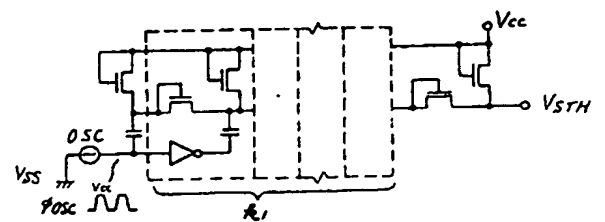
第 15 図



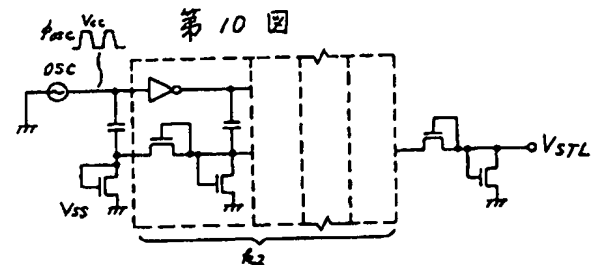
第 6 図



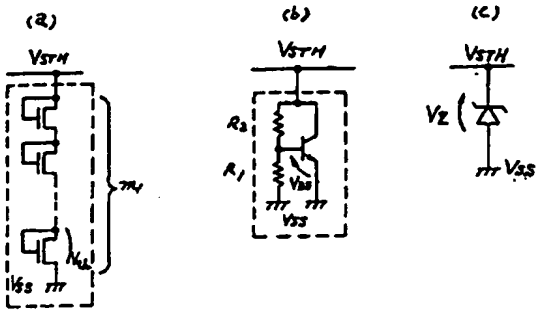
第 9 図



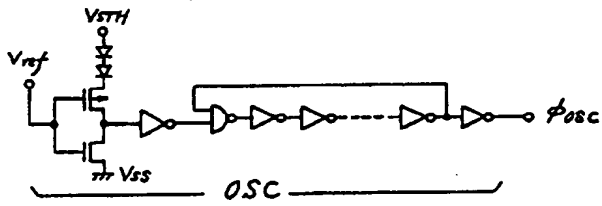
第 10 図



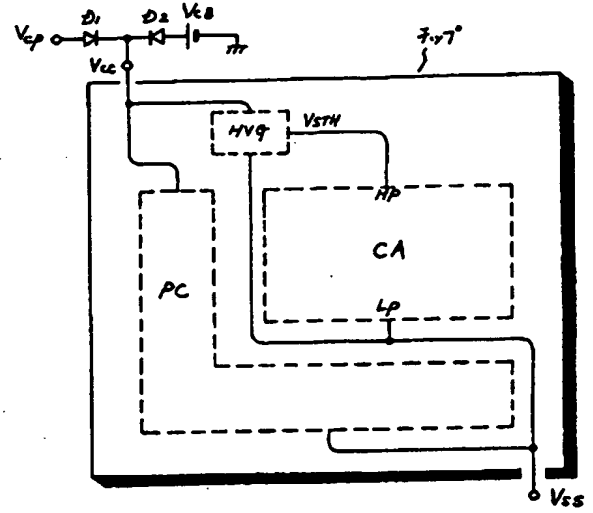
第 11 図



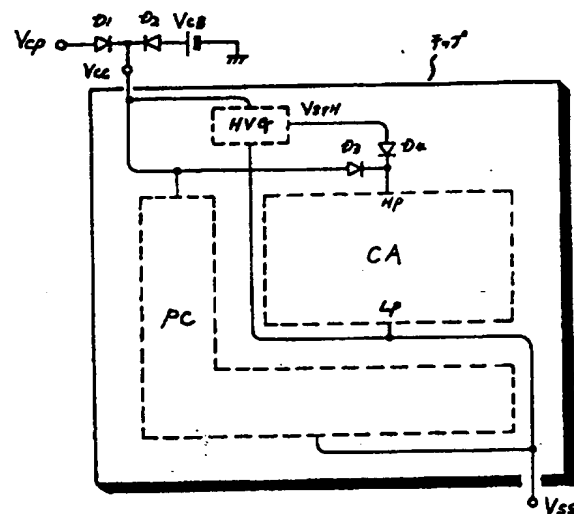
第 12 図



第 13 図



第 14 図



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.